

PUBLICATION NUMBER : 04245713
 PUBLICATION DATE : 02-09-92

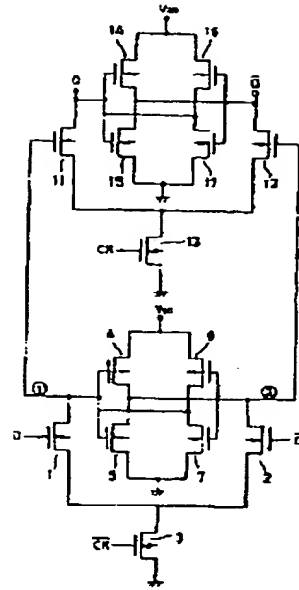
APPLICATION DATE : 30-01-91
 APPLICATION NUMBER : 03029552

APPLICANT : NEC CORP;

INVENTOR : KIMURA KATSU HARU;

INT.CL. : H03K 3/356

TITLE : FLIP FLOP CIRCUIT



ABSTRACT : PURPOSE: To suppress the flow of a steady current in a CMOS type FF and to attain low power consumption.

CONSTITUTION: A transistor(TR) 3 (13) whose gate is to be driven by a clock signal is connected to the common source node of a pair of differential TRs 1, 2 (11, 12). The differential outputs of the differential TRs 1, 2 (11, 12) are respectively inputted to a pair of CMOS inverters 4, 5 and 6, 7 (or 14, 15 and 16, 17). Respective outputs from these CMOS inverters are respectively inputted to mutual inputs of the inverters. Thereby the TR 3 (13) is turned off in a half cycle to input an input signal, and in the succeeding half cycle, the TR 3 (13) is turned off, a data holding state is held and the flow of a steady current is suppressed, attaining low power consumption.

COPYRIGHT: (C)1992,JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-245713

(43) 公開日 平成4年(1992)9月2日

(51) Int.Cl.⁵

H 0 3 K 3/356

識別記号

庁内整理番号

F I

技術表示箇所

C 7328-5 J

審査請求 未請求 請求項の数 2 (全 6 頁)

(21) 出願番号 特願平3-29552

(22) 出願日 平成3年(1991)1月30日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 木村 克治

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 ▲柳▼川 信

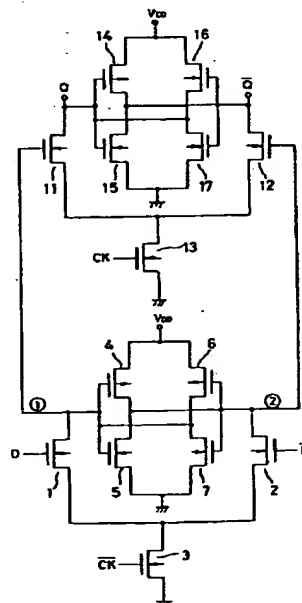
(54) 【発明の名称】 フリップフロップ回路

(57) 【要約】

【目的】 CMOS型FFの定常電流をなくして低消費電力化を図る。

【構成】 差動対トランジスタ1, 2 (11, 12) のソース共通接続点にクロック信号によりゲート駆動されるトランジスタ3 (13) を設ける。この差動トランジスタの差動出力を1対のCMOSインバータ (4, 5及び6, 7又は14, 15及び16, 17) の各入力とする。これ等CMOSインバータの各出力を互いのインバータの各入力とする。

【効果】 クロック信号の半サイクルではトランジスタ3 (13) がオンとなり、入力信号を取込み、次の半サイクルではトランジスタ3 (13) がオフとなって、データ保持状態となり、その間定常電流は流れず、低消費電力化を図れる。



3

15からなるインバータとトランジスタ16, 17からなるインバータで固定されたままとなり、その状態は維持される。すなわちホールド回路となっている。

【0013】一方、下段のナンドゲート付きマスタFFにおいては、 $ck=0$ の場合にはトランジスタ3a, 3bがオンする。このとき、トランジスタ1a, 2aはオンとなっているので、トランジスタ3a, 2b, 1aを介して導通し回路電流が流れる。

【0014】(2) $A=B=0$ 又は $A=0, B=1$ 又は $A=1, B=0$ のとき、はじめに $ck=1$ のときを考える。 $ck=1$ のときトランジスタ3a, 3bはオフしている。また、トランジスタ1a, 2aのうち少なくとも1つはオフ状態となるから、トランジスタ4, 5からなるインバータの入力としては、トランジスタ6, 7からなるインバータの出力以外は無視して良い。

【0015】一方、トランジスタ6, 7からなるインバータの入力に接続されているトランジスタ1b, 2bのうち少なくとも一方はオンしており、トランジスタ6, 7からなるインバータの入力は“0”となり、トランジスタ6, 7からなるインバータの出力①は“1”となる。

【0016】このとき、トランジスタ4, 5からなるインバータの入力が“1”であるから、トランジスタ4, 5からなるインバータの出力②は“0”に固定される。

【0017】このとき、スレーブFFは、 $ck=1$ によりトランジスタ13がオンしており、①=1, ②=0よりトランジスタ11はオン、トランジスタ12はオフする。トランジスタ11がオンすることにより、トランジスタ14, 15からなるインバータの入力は“0”となる。このとき、トランジスタ14, 15からなるインバータの出力(Qと逆相)は“1”となる。トランジスタ16, 17からなるインバータの入力は“1”となっており、出力Qは“0”となる。

【0018】次に $ck=0$ のときを考える。スレーブFFでは、トランジスタ13がオフすることにより、トランジスタ11, 12共にオフ状態となり、①, ②の論理が変化しても、出力Qの相補信号はトランジスタ14, 15からなるインバータとトランジスタ16, 17からなるインバータとにより固定されたままとなり、状態は維持される。すなわち出力状態がホールドされる。

【0019】一方、ナンドゲート付きマスタFFにおいては、 $ck=0$ の場合にはトランジスタ3a, 3bがオンする。このとき、トランジスタ1b, 2bの少なくとも1つはオンとなっているので、トランジスタ3b及び1b, 2bのうちオン状態のトランジスタを介して導通し、回路電流が流れる。

【0020】以上の説明により明らかな如く、クロック ck の半周期の間は定常電流が流れるので、回路電流が多くなっている。

【0021】

4

【発明の目的】本発明の目的は、定常電流をなくしてCMOS固有の低消費電力化を図ったFFを提供することである。

【0022】

【発明の構成】本発明によるFFは、互いに差動対とされた1導電型の第1及び第2の電界効果トランジスタと、これ等差動対トランジスタの差動出力を夫々入力すると共に互いの出力が互いの入力へ供給され互いに相補型のトランジスタからなる第1及び第2のインバータと、前記差動対トランジスタのソース共通接続点に接続されクロック信号がゲートに印加された前記1導電型の第3の電界効果トランジスタとを有することを特徴とする。

【0023】本発明による他のFFは、互いに差動対とされた1導電型の第1及び第2の電界効果トランジスタ、これ等差動対トランジスタの差動出力を夫々入力すると共に互いの出力が互いの入力へ供給され互いに相補型のトランジスタからなる第1及び第2のインバータ、前記差動対トランジスタのソース共通接続点に接続されクロック信号がゲートに印加された前記1導電型の第3の電界効果トランジスタからなるマスタフリップフロップと、前記差動出力を夫々ゲート入力とし互いに差動対とされた前記1導電型の第4及び第5の電界効果トランジスタ、この差動対トランジスタである第4及び第5の電界効果トランジスタの差動出力を夫々入力すると共に互いの出力が互いの入力へ供給され互いに相補型のトランジスタからなる第3及び第4のインバータ、前記第4及び第5の電界効果トランジスタのソース共通点に接続され前記クロック信号と逆相の信号がゲートに印加された前記1導電型の第5の電界効果トランジスタからなるスレーブフリップフロップとを有することを特徴とする。

【0024】

【実施例】以下、図面を参照しつつ本発明の実施例を詳細に説明する。

【0025】図1は本発明の実施例の回路図であり、マスタスレーブ型のDFFの例である。図3と同等部分は同一符号により示す。

【0026】本実施例は論理入力がD1つの場合の例であり、図3の例と同じ様に論理入力がA, Bの2つの場合のナンドゲート機能の例については、図2の他の実施例として示している。

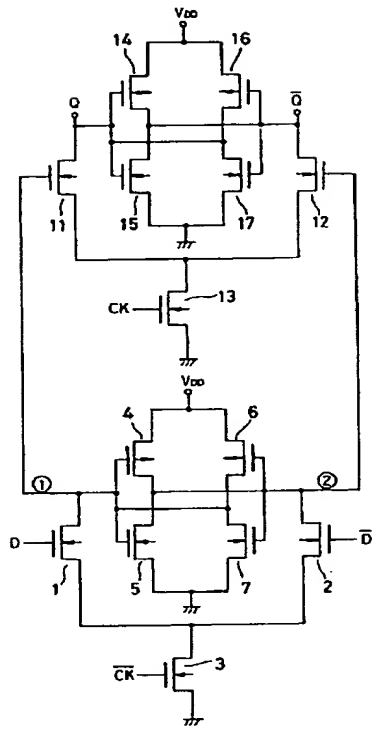
【0027】図1を参照すると、Nチャネルトランジスタ1, 2は差動トランジスタとなっており、このトランジスタ1, 2のソース共通接続点にNチャネルトランジスタ3が接続され、このトランジスタ3のゲート入力としてクロック信号 ck の逆相信号が印加されている。

【0028】差動トランジスタ1, 2の差動出力(ドレイン出力)が、トランジスタ4, 5及び6, 7からなる第1及び第2のCMOSインバータの各入力となり、CMOSイ

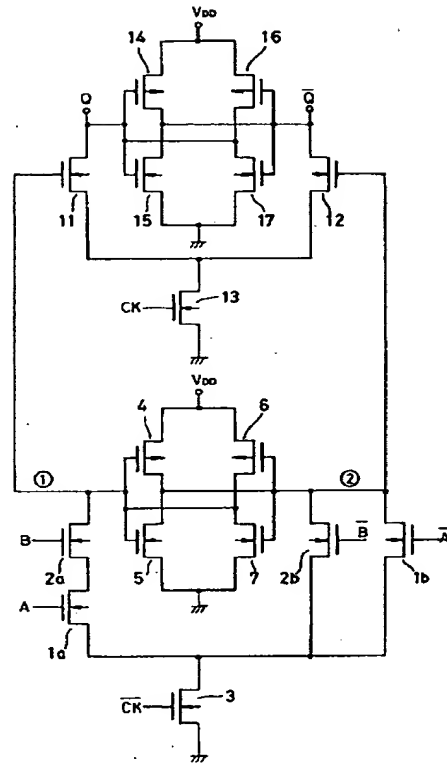
(5)

特開平4-245713

【図1】



【図2】



(6)

特開平4-245713

【図3】

